

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表 2001-501418

(P 2001-501418A)

(43) 公表日 平成13年1月30日 (2001.1.30)

(51) Int. Cl. 7	識別記号	F I	テ-マ-ド (参考)
H 0 1 P	5/08	H 0 1 P	5/08
	5/12		5/12
H 0 3 D	9/06	H 0 3 D	9/06
H 0 3 F	3/60	H 0 3 F	3/60
	3/68		3/68
			B
審査請求 未請求 予備審査請求 有		(全 3 6 頁) 最終頁に続く	

(21) 出願番号 特願平10-516699
 (86) (22) 出願日 平成9年9月26日 (1997. 9. 26)
 (85) 翻訳文提出日 平成11年4月5日 (1999. 4. 5)
 (86) 国際出願番号 PCT/US97/17372
 (87) 国際公開番号 W098/15065
 (87) 国際公開日 平成10年4月9日 (1998. 4. 9)
 (31) 優先権主張番号 08/725, 962
 (32) 優先日 平成8年10月4日 (1996. 10. 4)
 (33) 優先権主張国 米国 (US)
 (81) 指定国 EP (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), CA, CN, IL, JP

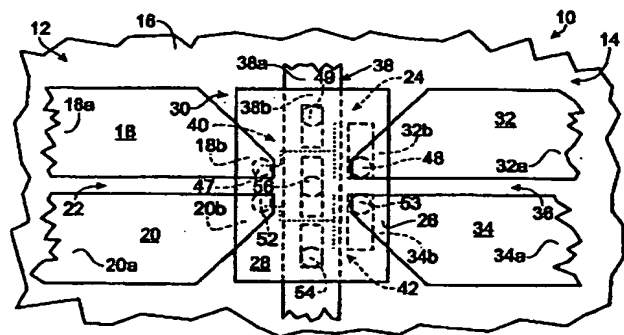
(71) 出願人 エンドゲート コーポレーション
 アメリカ合衆国, 94086-4102 カリフォルニア州, サニーベール, ソケル ウェイ 321
 (72) 発明者 フォークナー, マーク, ブイ.
 アメリカ合衆国, 95006 カリフォルニア州, ボウルダー クリーク, レベッカ ドライブ 891
 (72) 発明者 ヘンダーソン, パート, シー.
 アメリカ合衆国, 94087 カリフォルニア州, サニーベール, ロイス アベニュー 915
 (74) 代理人 弁理士 吉岡 宏嗣 (外2名)
 最終頁に続く

(54) 【発明の名称】 スロットライン取り付け式フリップ・チップ

(57) 【要約】

第一と第二のスロットライン(12, 14)は、接続部分(30)のある平面を備えている電氣的に絶縁する基板(16)の上に取り付けられている。各スロットライン(12, 14)は、接続部分の中に伸びている第一と第二の共角導体(18, 20並びに32, 34)を持っている。チップ回路(28)は、五つ全ての導体(18, 20, 32, 34, 38)に対して接続部分(30)においてフリップ取り付けされた第一と第二の電界効果トランジスタ(40, 42)をその中に含んでいる。この一般的な構成は増幅器、発振器並びにミキサーとしての使用のために改良することが出来る。

Fig. 1



BEST AVAILABLE COPY

【特許請求の範囲】

1. 第一の平面と第一の接続部分(92)を備えている電氣的に絶縁する基板と：

前記の基板表面に関連して取り付けられ、前記の接続部分(92)の中に伸びている第一と第二の間隔を置いて離れている導体(84, 82)で成り立っており、並びに、第一のスロットの境界をその間で画している第一のスロットライン(80)と：

前記の第一スロットライン(80)から間隔を置いて、それと共角である前記の基板に関連して取り付けられた第二のスロットライン(86)であって、前記の接続部分(92)の中にも伸びていて、それらの間で第二のスロットの境界を画している第三と第四の間隔を置いて離れた導体(88, 90)で成り立っている前記第二のスロットライン(86)であり、前記第四の導体(90)が前記第二の導体(82)に接続されていることを特徴とする前記の第二のスロットラインと：

第一と第二の端子(75, 77)が前記第一と第二の導体の上にフリップ取り付けされた状態で、前記第一と第二のスロットラインに関連して電氣的信号を伝導するために前記の基板の上で前記の接続部分(92)においてフリップ取り付けされたチップ回路手段とを

含むスロット・ライン回路構造物。

2. 請求項1に記載の回路構造物において、前記第二と第四の導体(82, 90)が前記接続部分(92)を通じて伸びている連続的な導体(94)を形成していることを特徴とする、前記の回路構造物。

3. 請求項2に記載の回路構造物において、前記第一と第三の導体(84, 88)が前記の連続的な導体(94)の反対側の上に配置された前記の接続部分(92)において端部を備えていることを特徴とする、前記の回路構造物。

4. 請求項3に記載の回路構造物において、前記第一と第三の導体(84, 88)が接続部分(92)に隣接して共線であることを特徴とする、前記の回路構造物。

5. 請求項3に記載の回路構造物において、前記のチップ回路手段(72)が一つの制御端子(75)と二つの電流搬送端子(76, 77)を備えているトランジスターをその中に含んでいて、前記の制御端子(75)が前記第一の導体(84)に接続され、前記の電流搬送端子(77)の一つが前記第二と第四の導体(82, 90)の少なくとも一つに接

続され、並びに、前記の電流搬送端子(76)の他のものが前記第三の導体(88)に接続されていることを特徴とする、前記の回路構造物。

6. 第一の平面と第一の接続部分(92)を備えている電氣的に絶縁する基板と：

前記の基板に関連して取り付けられ、前記の接続部分(92)の中に伸びている第一と第二の間隔を置いて離れた導体(84, 82)で成り立っていて、そこでは第一のスロットとの間の境界を画している第一のスロットライン(80)と：

前記第一のスロットライン(80)から間隔を置いている前記の基板に関連して取り付けられた第二のスロットライン(86)であって、前記の接続部分(92)の中に更に伸びていて、それらの間で第二のスロットの境界を画している第三と第四の間隔を置いて離れた導体(88, 90)で成り立っている前記第二のスロットライン(86)と：

前記第一と第二のスロットライン(80, 86)に関連して電氣的信号を伝導するために前記の接続部(92)において前記の基板の上にフリップ取り付けられた第一のチップ回路中断(72)であって、前記チップ回路手段(72)が一つの制御端子(75)と二つの電流搬送端子(76, 77)を備えているトランジスタ(74)をその中に含んでおり、前記の制御端子(75)が前記第一の導体(84)に接続され、前記の電流搬送端子(76)の一つが前記第三の導体に接続されており、前記電流搬送端子の他のものが前記第三と第四の導体(82, 90)の少なくとも

一つに接続されていることを特徴とする、前記第一のチップ回路手段とを含むスロット・ラインにベースを置いた回路構造物。

7. 請求項6に記載の回路構造物において、前記のトランジスタが電界効果トランジスタであり、制御端子(75)がゲート端子(G)であり、並びに、前記一つの電流搬送端子(76)がドレーン(D)であり、前記の他の電流搬送端子(77)がソース(S)であることを特徴とする、前記の回路構造物。

8. 請求項7に記載の回路構造物において、前記のソース(S)が前記第二と第四の両方の導体(62, 90)に接続されていることを特徴とする、前記の回路構造物。

9. 第一の表面(272a)、前記第一の表面(272a)の反対側に第二の表面(272b)と共通の部分の備えている電氣的に絶縁している基板(272)と：

前記の基板(272)に関連して取り付けられ、前記の接続部分の中に伸びている第一と第二の間隔を置いて離れた導体(268, 270)で成り立っており、そこでは第一のスロットとの間で境界を画しているスロットライン(264)であって、前記第一の導体(268)が前記第一の表面(272a)の上に取り付けられ、前記第二の導体(270)が前記第二の表面の上に取り付けられている前記のスロットライン(264)と：
更には、

第一の端子(278)が前記第一の導体(268)の上にフリップ取り付けされ、第二の端子(284)が前記第二の導体(270)に結合された状態で、前記接続部分において前記の基板(272)の上にフリップ取り付けされたチップ回路手段(262)であって、前記のスロットライン(264)が前記チップ回路手段(262)に関連して電氣的信号を伝導するためのものであることを特徴とする前記のチップ回路手段とを

含むスロット・ラインにベースを置いた構造物。

10. 請求項10に記載の回路構造物において、前記第二の導体(270)は、前記

導体同士の間のも最短距離がそれぞれ隣接する側面同士の間距離である状態で、前記第一の導体(268)から側面方向に変位されていることを特徴とする、前記の回路構造物。

11. 請求項10に記載の回路構造物において、前記の隣接する側面が相互に対して直接的に向かい合っていることを特徴とする、前記の回路構造物。

12. 請求項9に記載の回路構造物において、前記のチップ回路手段(262)が一つの制御端子(278)と二つの電流搬送端子(280, 282)を備えているトランジスターを含んでいて、前記の制御端子が前記第一の導体(268)に接続され、前記の電流搬送端子(282)の一つが前記第二の導体(270)に結合されていることを特徴とする、前記の回路構造物。

13. 前記のスロットライン(264)から間隔を置いた前記の接続部分から伸びているマイクロストリップ・ライン(266)を更に含んでいる請求項12に記載の回路構造物であって、前記のマイクロストリップ・ライン(266)が前記第一の導体(268)と共角である第三の導体(274)と前記第二の導体(270)と共角である接地導体(276)を含み、前記トランジスターの前記の電流搬送端子(280)の他のものが前記第三

の導体(274)の上にフリップ取り付けされていることを特徴とする、前記の回路構造物。

14. 請求項13に記載の回路構造物において、更に前記第二の導体(270)が前記接続部分において前記接地導体(276)に接続されていることを特徴とする、前記の回路構造物。

15. 前記第一の表面(272a)と相対して第一の表面(272a)と第二の表面(272b)を備えている電氣的に絶縁している基板(272)と：

前記の基板(272)に関連して取り付けられ、そこでスロットとの間の境界を画している第一と第二の間隔を置いて離れている導体(268, 270)から成り立っているスロットライン(264)であって、少なくとも前記第一の導体(268)が

前記第一の表面(272a)の上に取り付けられていることを特徴とする前記のスロットラインと：

前記の基板(272)に関連して取り付けられ、前記第一の導体(268)と共角である第三の導体(274)と前記第二の表面(272b)の上に取り付けられた接地導体(276)とを含んでいるマイクロストリップ・ライン(266)と：更には、

前記のスロットライン(264)とマイクロストリップ・ライン(266)との上にフリップ取り付けされ、少なくとも一つの第一トランジスターをその中に含み、前記第一と第三の導体(268, 274)の異なるそれぞれのものに接続された制御端子(278)と電流搬送端子(280)を持っているチップ回路手段(262)であって、他の電流搬送端子(282)が前記第二の導体(270)と前記の接地導体(276)とに結合されていることを特徴とする、前記のチップ回路手段とを

含むスロットラインとマイクロストリップとの間で電氣的信号の伝送を変換するための回路構造物。

16. 請求項15に記載の回路構造物において、前記第二の導体(270)と前記の接地導体(276)が共角であることを特徴とする、前記の回路構造物。

17. 請求項16に記載の回路構造物において、前記第二の導体(270)が前記の接地導体(276)に直接的に接続されていることを特徴とする、前記の回路構造物。

18. 請求項16に記載の回路構造物において、前記第二の導体(270)は、前記第一と

第二の導体(268, 270)との間の最も短い距離がそれぞれ隣接する側面同士の間
の距離である状態で前記第一の導体(268)から側面方向に変位されていることを特
徴とする、前記の回路構造物。

19. 請求項15に記載の回路構造物において、前記第一と第二の導体(268, 270")
が共角であり、前記他の電流搬送端子(286)が前記第二の導体(270")の上に直接
的に取り付けられていることを特徴とする、前記の回路構造物。

20. 接続部分(338, 340)と共に平面を持っている電氣的に絶縁する基板と：

前記基板表面上に取り付けられ、前記の接続部分の中に伸びている基部端部を
備えている第一と第二の間隔を置いて離れた共角導体(324, 326)、並びに前記の
接続部分から間隔を置いている遠位端部で成り立っていて、それらの間で第一の
スロットの境界を画していることを特徴とする第一のスロットライン(322)と：

前記第一のスロットライン(322)から間隔を置いている前記の基板表面上に取
り付けられ、前記の接続部分(338, 340)の中に伸びている基部端部を持っている
第三と第四の間隔を置いて離れた共角導体(324, 326)、並びに、前記の接続部分
から間隔を置いている基部端部で成り立っていて、それらの間で第二のスロット
の境界を画している第二のスロットライン(328)であって、前記第一と第二の導
体(324, 326)の基部端部が前記第三と第四の導体(330, 332)の基部端部から間隔
を置いていることを特徴とする前記第二のスロットライン(328)と：

前記第一、第二、第三並びに第四の導体(324, 326, 330, 332)から間隔を置い
ていて、それらと共角である前記の基板表面上に更に取り付けられ、前記の接続
部分(338, 340)に位置決めされた基部部分(242c)と前記第一と第二のスロットラ
イン(322, 328)の一つを形成している前記の導体同士の上に伸びている基部部分
(342a)とを持っている第五の導体(342)であって、前記の遠位部分(324c)も
又前記第一と第二のスロットライン(322, 328)の前記基部端部から間隔を置いて
いることを特徴とする第五の導体(342)と：

前記第一のスロットライン(322)上で信号入力を受け取るため、並びに、前記
第二のスロットライン(328)上で前記のトランジスター(334, 336)によって増幅
された信号を出力するために前記第一、第二、第三、第四並びに第五の

導体(324, 326, 330, 332, 342)に対して前記接続部分(338, 340)においてフリップ取り付けされた第一と第二のトランジスターを含んでいるチップ回路手段(334, 336)であって、前記のトランジスター(334, 336)の各々は、各制御端子(G)が前記第一と第二のトランジスター(324, 326)のそれぞれ一つに接続されている状態で一つの制御端子(G)と二つの電流搬送端子(D, S)とを含んでいて、各トランジスター(334, 336)の一つの電流搬送端子(D)が前記第三と第四の導体(330, 332)のそれぞれ一つに接続され、前記トランジスター(334, 336)の各々に関して前記電流搬送端子(S)の前記その他のものが前記第五の導体(342)に接続されていることを特徴とする前記のチップ回路手段と：更には、

前記第一と第二のスロットライン(322, 328)の一つの前記遠位端部に結合された局所的発振器(L0)であって、前記ミキサーが前記スロットライン(328, 322)の他の遠位端部上に伝送された高周波数信号と前記第五の導体(342)に関連して伝送された中間周波数信号との間で変換するためのものであることを特徴とする前記の局所的な発振器とを

含むスロット・ラインにベースを置いたミキサー。

21. 請求項20に記載の回路構造物において、前記一つのスロットライン(322)を形成している前記の導体同士(324, 326)の間に伸びている前記第五の導体(342)の部分(342a)が前記遠位端部(342b)から接続部分(338, 340)の方向に外側に向かって長細りになっていることを特徴とする、前記の回路構造物。

22. 請求項21に記載の回路構造物において、前記第五の導体(342)の前記の部分(342a)が前記第一と第二の導体(324, 326)の間に伸びていて、前記の回路構造物が更に、前記接続部分(338, 340)から接続部分(338, 340)の遠位端部(344a)に向かって前記第三と第四の導体(330, 332)の間に伸びてい

る第六の導体(344)を含んでいて、前記のチップ回路手段(334, 336)が更に前記第一の導体(324)に結合された制御端子(G)と、一つの電流搬送端子(S)が前記第五の導体(342)に結合された一つの電流搬送端子(S)と、前記第六の導体(344)に結合されたその他の電流搬送端子(D)を持っている第三のトランジスターをその中に含んでいることを特徴とする、前記の回路構造物。

23. 請求項22に記載の回路構造物において、前記のチップ回路手段(334, 336)が更に前記第二の導体(326)に結合された制御回路(G)と、前記第五の導体(342)に結合された一つの電流搬送端子(S)と、前記第六の導体(344)に結合されたその他の電流搬送端子(D)とを持っている第4のトランジスターを含んでいることを特徴とする、前記の回路構造物。

24. 請求項23に記載の回路構造物において、前記第三と第四の導体(330, 332)の間に伸びている前記第六の導体(344)の部分が前記第六の導体(344)の前記遠位端部(344a)から接続部分(338, 340)の方向に向かって外側の方向に長細りになっていることを特徴とする、前記の回路構造物。

25. 請求項24に記載の回路構造物において、前記第六の導体(344)の遠位端部(344a)が、中間周波数信号を導くための端子を形成していることを特徴とする、前記の回路構造物。

【発明の詳細な説明】**スロットライン取り付け式フリップ・チップ****発明の背景****技術分野**

本発明は高周波数伝送ライン回路構造物、並びに、特にスロットライン上にフリップ取り付けされたチップ回路を備えている類の回路構造物に関する。

背景技術

マザーボード上に取り付けられたフリップ・チップは無線周波数回路構成部品を一体に接続するための効果的な方法であると判明している。フリップ取り付けの使用は、接合ワイアー、裏面の金属溶射と導電路、エアー・ブリッジ(風橋)、並びに、伝導クロスオーバー(渡り線)をマザー基板上に使うことに置き換わる代替的な取り付け方法を提供する。マザーボードにチップを接続している導体のコラム又はバンプは熱圧縮接合、半田付け、ろう付け素材又は接着剤を使って形成することが出来る。

更に、その様な高周波数の用途においては、共角伝送ラインの使用はうまく確立されている。典型的な例は、伝統的な共角導波管(接地-信号-接地ライン)とスロットラインを含んでいる。スロットラインは、間隔を置いた反対の極性導体、バランスのとれた接地-信号-接地ライン、並びに、並列裸線のバランスのとれたラインでも形成することが出来る。これら共角の伝送ラインは、単一平面上に単一形成の導体を持つことによって提供される単純化された構造物の故に特に有益である。

スロットラインは、基板の一つの表面、又は、二つの表面上に取り付けられた二つの導体で成り立っている。導体は間隔を置いて離されて、スロットを形成している。導体が間近に結合されるに十分なだけスロットは幅狭く、それによって、導体の端部は一次的伝送ラインとしてスロット機能に沿って伸びるようにしている。スロットラインは、プッシュプル回路において使われているとおりに、バランスのとれた信号を伝導する目的で典型的には使われている。これらの回路は、基板の反対側、又は、裏側の上にそれに相当する接地平面を持つことも、持た

ないこともできる。これらは、二つの導体の一つが接地にある状態で、或いは、他の固定された共通の基準電位にある状態でバランスのとれていない信号用にも使うことが出来る。共角のスロットラインはクロスオーバー導体を必要としない、並びに、共角の導波管に比べてより少ない導体を持つという利点をも持っている。

スロットラインは、各導体がスロットの側面に対して基板の表面部分の全てをカバーしている状態で、半分無限の導体として歴史的には作られている。スロットラインは制限のある幅のある導体片によっても形成することが出来る。伝統的には、共角の導波管は同じ信号と反対の極性を持っている二つの結合されたスロットラインで成り立っている。

本書中で使われているとおり、スロットラインは、所定の信号に対してあるスロットラインによって形成された伝送ラインがたった二つの導体で成り立っているということを主要にして共角の導波管から際だっている。これは、すなわち、各導体が相互の導体とのみ関連していて、伝送ラインを形成していることである。他方では、共角の導波管は三つの導体を持ち、内側信号の導体は間隔を置いた外側の導体によって接合され、外側の導体は同じ極性を持ち、真ん中の導体に関して電流の伝導性を共有している。共角の導波管においては、中央の導体は二つの外側導体の極性からは反対の極性を持ち、二つの外側導体と

関係して、伝送ラインを形成している。

他の導体がスロットライン導体のそれらに関連して独占的な信号極性を持っている限り、この定義はインピーダンスのマッチング、又は、その他の機能に関して他の信号を伝送するため二つのスロットライン導体の一つ又は両方と関連しているその他の導体の使用を除外しない。

更に、本書中で使われているとおり、チップはチップ基板の中で、或いは、その上で形成された一つ又はそれ以上の電氣的構成部品である。典型的には、集積回路はチップ基板上に形成されて、チップ回路を形成している。他の形態の回路基板も又チップ上に形成されている。チップ接続地点が基板表面上に隣接してある状態でチップ回路がベース基板上にフリップ取り付けされているときには、チ

ップ回路を含んでいるチップはフリップ・チップとして言及される。フリップ・チップは一つ又はそれ以上の回路、要素又はデバイスを含むことが出来、その各々はチップ上に相互接続することも、接続しないこともできる。

普通の増幅器の用途においては、チップ回路は一つ又はそれ以上のトランジスタと、抵抗器、コンデンサ並びにインダクターと言ったその他のデバイスを含んでいる集積回路である。複数のトランジスタを持っている電力（パワー）チップにおいては、トランジスタは個別的に、或いは、集合的にマザーボードに接続することが出来る。複合電力トランジスタに関するインピーダンスのマッチングは、必ずしもというわけではないが、チップ基板のサイズを最小にするためにマザーボード基板上で、典型的には達成される。

発明の開示

無線周波数回路におけるフリップ・チップのテクノロジーを利用すること、並びに、特に、スロットラインの使用においてその様なテクノロジーを適合することが望ましい。増幅器、発振器、ミキサー並びに同様なものの形成におい

てその様なテクノロジーを適合することが更に望ましい。

第一の接続部分のある平面と基板表面上に取り付けられたスロットラインを持っている電氣的に絶縁しているベースの基板を備えた回路構造により、本発明において、これが装備されている。スロットラインは接続部分の中に伸びている第一と第二の間隔を置いた共角の導体で成り立っている。チップ回路は、第一のチップ回路の端子が第一導体に接続され、第二のチップ回路の端子が第二導体に接続された状態で、ベース基板の接続部分上へとフリップ取り付けされている。スロットラインはチップ回路に関連して電気信号を伝導する。説明したとおり、チップ回路は、一般的なセンスでは、単一活性、或いは、受動的なデバイス、或いは、その様なデバイスの様々な組み合わせで形成されるもっと複雑な回路と言った如何なる機能的回路をもそれに関して持つことが出来る。

本発明の様々な好適な実施例は第一のスロットラインから間隔を置いている基板表面上に取り付けられた第二のスロットラインを更に含み、接続部分の中に伸びている基部端部を備えている第三と第四の間隔を置いて離れた共角の導体で成

り立ち、第二スロットとの間に境界を画し、第一スロットラインの基部端部は第二スロットラインの基部端部から間隔を置いている。又も基板表面上に取り付けられた第五の導体は、第一と第二のスロットラインから間隔を置いてあり、それらと共角であり、接続部分において基部部分を持っている。第五の導体の基部部分も又第一と第二のスロットラインの基部端部から間隔を置いている。

チップ回路は、5つ全ての導体に対して接続部分においてフリップ取り付けされた電界効果トランジスタ(FETs)と言った第一と第二のトランジスタを含んでいる。FETのゲートは入力信号を受信するために第一スロットラインに接続されている。ドレインはトランジスタによって増幅された信号を出力するために第二のスロットラインに接続されている。FETのソースは第五の導

体に接続され、その導体は地面に接続されている。この一般的な構成は増幅器、発振器或いはミキサーとしての使用のために改良することが出来る。

スロットラインは、各回路がインピーダンスのマッチングを提供している状態で、複数の回路を並列で提供するために並列のスロットライン部分へと分割することが出来る。スロットラインは接続部分からループ・バックして、インピーダンス・マッチングのためのチョークを提供することが出来る。そして、第五の導体の部分はスロットライン導体同士の上に延長して、容量結合を提供することが出来る。

ある実施例においては、本発明に従って作成されたミキサーは、各活性デバイスの一つの制御端子が一体に結合された状態で、第一と第二の活性デバイスを含む。第一の高周波数端子は第一の活性デバイスの制御端子に結合され、第二の高周波数端子は第二の活性デバイスの制御端子に結合されて、高周波数の信号を伝導する。結合導体は第一の活性デバイスの電流を運ぶ端子のその他のものを第二の活性デバイスの電流を運ぶ端子のその他のものに結合している。局所的発振器は各活性デバイスの電流を運ぶ端子のその他のものに結合されて、局所的発振器の信号を活性デバイスに適合する。第一の中間周波数端子は両方の活性デバイスの一つの電流を搬送する端子へと結合され、第二の中間周波数の端子はその端部の中間にある結合導体上の地点に結合されている。結合導体は、局所的発振器を

活性デバイスに結合している導体から離れて局所的発振器周波数の波長の半分であることが望ましい。中間周波数信号は、それによって、無線周波数と局所的発振器の信号から相対的に分離されている回路における地点で受け取られる。

本発明は、この様にして、スロットライン上へと直接的にフリップ取り付けされた無線周波数チップの有利な使用を提供する。増幅器、ミキサー、発振器などのためのコンパクトな回路構造物は、それによって、実現される。これら、

並びに、その他の特徴と、本発明の色々な利点は、下記に詳細説明された記述で記された、並びに、添付図面の中で図解された好適な実施例から明らかになるであろう。

図面の簡単な説明

図1は本発明に従って作成された増幅器の第一の好適な実施例の平面図である。

図2は図1の増幅器の中に含まれているチップ回路の概略図である。

図3は図1の発明の第二実施例に関する平面図である。

図4はある発振器の形態での本発明の第三実施例に関する平面図である。

図5は本発明に従って作成され、図4の発振器に類似である二重発振器の単純化された平面図である。

図6は図5の実施例の変化形態として本発明に従って作成された複数発振器である。

図7は本発明に従って作成された二つの直列接続されたプッシュプル増幅器の平面図を図解している。

図8は図7の実施例の概略図である。

図9は図7に示された実施例に類似している本発明のもう一つの特徴を図解している実施例の平面図である。

図10はスロットラインとマイクロストリップ・ラインとの間の活性変換形状での更にもう一つの実施例に関する平面図である。

図11は図10におけるII-IIの線に沿ってみた場合の断面である。

図12はミキサーの形状での図1の発明に関する更にもう一つの実施例の平面図

である。

図13は本発明に従って作成されたミキサの第二の実施例に関する平面図

である。

図14は図13のミキサの概略図である。

図15は本発明に従って作成されたミキサの第三実施例の平面図である。

本発明を実施するための最良の形態

最初に図1に言及して、本発明に従って作成されている例示的な増幅器10が示されている。既に述べたとおり、本発明は回路構造物を提供し、そこにおいてチップ回路はストリップ・スロットライン上にフリップ取り付けされている。この特定の実施例に基づいて、又もチップ回路手段として言及されているチップ回路は複数のチップの形状とすることが出来、そこにおいては、一つ以上のデバイスがチップ回路の中に含まれている。

図1においては、増幅器10は基部絶縁の、或いは、半分絶縁のベース基板16上に取り付けられた入力ストリップ・スロットライン12と出力ストリップ・スロットラインを含む。スロットライン12は基部の間隔を置いて離れた関係で形成された導体18と20を含み、入力スロット22の境界を画している。ストリップ導体として示されたこれらの導体は、非常に狭いものから半分無限に近いものまでにまたがる幅を持つことが出来る。以前定義されダッシュ・ラインで示された通りのチップ回路24はフリップ・チップ28のチップ基板26の上に形成されている。チップのアウトラインはベース基板16にまたがってチップのフートプリントまたは陰の境界を画している。このフートプリントは接続部分30として言及されている。

出力スロットライン14は同様にストリップ導体として示される導体32と34を含み、それらの導体は導体18と20と共角であり、出力スロット36を形成する。スロット22と36はインピーダンス・マッチングのためと言ったように変動するけれども、それらは一般的には均一の幅を持つ。関連した導体は間近に結合されるに十分なだけ間近に間隔を置くことで十分である。

導体18と20は接続部分30から離れて位置決めされた遠位の端部18aと20a、並び

に、接続部分に位置決めされた基部の端部16bと20bを備えている。同様に、導体32と34は遠位の端部32aと34a、並びに、基部の端部32bと34bを持っている。導体18と20の基部の端部は導体32と34の基部の端部から離されている。導体18, 20, 32並びに34から離されている第五の導体38は、接続部分30を通過している。導体38は接続部分から離された部分38aと言った遠位の部分と、接続部分における基部的部分38bとを持っている。

図1に示された実施例では、チップ28上の回路24は、ダッシュ・ラインで図解されている二重の電界効果トランジスタ（FETs）40と42で構成される集積回路である。FET40と42は、図2に示されるトランジスタ40のゲート43、ドレーン44並びにソース45と言ったそれぞれのゲート、ドレーン、並びに、ソースを備えている。回路24は、FET40のゲート、ドレーン並びにソースにそれぞれ関連し、それらに接続された端子47, 48並びに49（図1）をその中に含んでいる。これらの端子は導体18, 32並びに38の基部端部と基部部分上にそれぞれフリップ取り付けされている。それに相当して、FET42のそれぞれのゲート、ドレーン並びにソース端子52, 53及び54は導体20, 34並びに38の基部の端部と基部の部分に接続されている。加えて、端子56は図に示されたとおり第五の導体38にそれぞれのソースを接続するためにFET40と42に共通である。

図2はチップ回路24の構造物を一般的に図解している概略図である。FET40と42のゲートGへの入力は、スロットライン12の導体18と20からである。FETのソースSは共通接続によって第五の導体38と一緒に接続されている。出力信号はスロットライン14のドレーンDから導体32と34へと伝導される。FETはこの様にして直列で、或いは、プッシュプルで構成で接続されると見られる。平衡（バランス）した信号又はプッシュプル・モードで作動され

るときには、ソースと第五の導体は仮想的な接地電位にある。

図3は本発明に従っての第二増幅器の実施例を図解している。増幅器は、ゲート端子75、ドレーン端子76並びにソース端子77と78を備えたFETを持っているチップ72を含んでいる。入力スロットライン80は並列ストリップ導体82と84で成り立っている。出力スロットライン86は並列のストリップ導体88と90で成り立って

いる。導体82と90は接続部分で一体的に接合されて、単一の連続的な導体94を形成している。

作動中には、導体82, 84並びに88, 90は入力と出力の信号をそれぞれ搬送する。この構成の変化形態は、導体82と90が整列された状態で導体94の反対側に導体84と88を持つことである。

図4は図1の増幅器10の第三実施例である。この図は、本発明に従って作成されたプッシュプル発振器100に関する全般的な構成を図解している。タンク回路101は導体部分103と104によって形成された制限長さのスロットライン102をその中に含む。タンク回路101は、設計周波数で活性デバイスのインピーダンスと共振するように寸法決定されている。回路101は図に示されたとおりその中に伸びているスロット110との単一金属化108として形成されている。金属化108はインダクター112によってゲート・バイアス電圧供給 V_g へと結合されている。

共振器101も又図には示されていないキャビティーとして共振デバイスに結合することが出来る。キャビティーは比較的高いQを持つことが出来、共振器101は、全ての作動温度に関して安定的な振動を与えるようにどの結合レベルでも望まれているキャビティーの中に結合することが出来る。

フリップ・チップ114は二重のFET116と118を持っている。二重FET116と118はそれぞれのゲート、ドレーン並びにソース端子120, 121, 122並びに124, 125, 126を持っている。共通ソース端子128はFETによって共

有されている。ゲート端子120と124は導体103と104の基部部分の上にフリップ取り付けされている。ソース端子は中央の、或いは、ソースの導体130の基部部分上にフリップ取り付けされている。ソース導体130は、インダクター132を通じて接地又はその他の基準電圧 V_s に結合されている。

発振器100の出力は導体134と136の遠位の端部から取ることが出来、それらはスロット140を備えている第二のスロットライン138を形成している。スロット140の幅は仮想的接地に望ましい量のキャパシタンスを提供するように設定されている。ソースは仮想的な接地であるので、スロット140のキャパシタンスは一つのドレーンからソースへと、並びに、他のドレーンへと容量を提供する。ドレー

ンをソースへと直接的に容量的に結合する必要はない。導体134, 136の長さ x は波長の1/4以下であることが望ましい。

ドレーン端子121と125は導体134と136の基部端部上にフリップ取り付けされている。これらの基部端部はそれぞれの導体142と144を介してドレーン・バイアス電圧 V_{dd} へと結合されている。

図5は発振器100の後にパターン化された二重発振器回路構造物を図解している。単一の金属化の層152はスロットライン158と160の境界を画しているスロット共振器154と156を備えている。代替的には、金属化の二つのセクションは層152を通じての二つの水平方向ダッシュ・ラインによって暗示されるとおり、使用することが出来る。単一チップ166はFETの関連したセットを提供し、単一ソースの導体168はそれぞれのFETのソースを共通の接地端子へと結合する。個別の、間隔を置いて離れた出力スロットライン170と172が備えられている。二つのスロットラインの内側導体171と173はダッシュ・ラインによって代表されるとおり、単一の金属化から形成することが出来る。この構成は並列の発振器174と176を提供するが、二つ以上の発振器を提供するように延長することもできる。

図6は複数の発振器181, 182, 183を提供している回路構造物を図解している。この構造物は延長して、望まれる数の発振器を提供することが出来る。複数共振器の金属化185は回路150に関して記述されたとおり各発振器についてスロット・ライン接続された共振器を提供する。この実施例では、接続部分188から遠ざかっているソース導体187の部分は出力スロット190, 191, 192の各々の中に延長する。これらのスロットは出力ドレーン導体194, 195, 196, 197によって形成されている。ドレーン導体195と言った中間ドレーン導体は、隣接するスロット190と191と言った隣接するスロットの導体として機能する。これらの中間ドレーン導体は、望ましくは波長の1/4ぐらいである幅 y を持つが、導体195におけるスロット198と言ったスロットが装備されている場合にはそれよりも短くても良い。スロットは導体の有効幅を増大して、ドレーン同士の間の隔離を提供している。

波長の1/4以下である長さ z を望ましくは持っているソース導体部分187a, 187b, 187cは各隣接する出力ドレーン導体と関連しているソース導体との間で直接

的に容量カップリングを提供する。遠位ソース導体部分も又ソース導体に対する外部結合を可能にする。この構造物が共角の波長ガイドの外観を持っているけれども、スロット190, 191, 192の各々を形成しているドレーン導体は反対の信号極性を持っており、その両方はソース導体部分に関する信号極性からは異なっている。発振器の各々はインジェクション・ロックし、それによって、発振器が振動することの出来るゲート周辺を増大する。これは位相ノイズを減少することの効果を持つ。

図7は本発明の更にもう一つの実施例、スロットライン増幅器200を図解している。増幅器200は入力スロットラインのチップ接続部分と出力スロットラインを形成している単一の金属化層202で構成されている。もっと具体的には、入力スロット206の初期入力スロット部分206aによって境界を画せられる入

カスロットライン204は分岐スロットライン208と210の中へと二またに分かれる。分岐スロットラインはスロット分岐206bと206cによって、それぞれ形成されている。

増幅器200の上半分と下半分は同じに機能するので、上側セクションに振り向けられるコメントが同等に下側セクションにも適合するという理解で、論述は上側セクションに限定される。入力スロット分岐206bの基部端部は、長い中央の脚部部分206dが前後方向の曲がり206eと206fと相対して伸びており、中央の脚部部分206dに平行である閉鎖して終わっている脚部部分206gと206hのある反転した”E”の様に形成されている。この形状はスロットライン脚部部分同士の間伸びているそれぞれの開口端部となっている導体フィンガー202aと202bを生じている。外部脚部部分はRFチョークとして機能する。

出力部分212cを形成するように接合している分岐部分212aと212bを備えている出力スロット212もある。スロット212はこの様にして分岐スロットライン214と216、並びに、出力スロットライン218を形成している。出力スロットラインは入力スロットラインのミラー映像として示され、寸法は入力と出力の回路のインピーダンス・マッチングの相違の故に異なるであろうけれども、同じ方法で機能する。

それに相当するFETの構造は図には示されていないが、前に記述したそれに似ている。ゲート、ドレーン並びにソースの端子の接続はG, D並びにSによってそれぞれ識別される接点パッドによって代表される。ゲート端子は入力フィンガー202aと202bの端部に接続されていると示されている。ソース端子はE形状スロットの裏側同士の間伸びている導体部分202cに接続されている。二つのソース・パッド同士の間伸びている導体部分202cセクションは仮想的接地のところにある。ドレーン端子は図に示されているとおりの出力フィンガーの端部に接続されている。

図8は増幅器200の回路を図解している簡略化された概略図である。図7に示されているとおり、入力信号は、入力スロット部分206aのところで入力導体部分202iと202jに効果的に適合される。信号はFET220と221のゲートに入力される。入力信号は、分岐スロット部分206bと206cにまたがって電磁石カップリング（結合）を介してFET222と223のゲート上の入力導体に結合される。FET222と223のゲートとドレーンは、それぞれ、同じ結合方法を共有する。出力信号は、FET220と222のドレーン同士の間、並びに、FET221と223のドレーン同士の間にある類似の電磁石カップリングのあるFET220と221のドレーンから取られる。

各分岐スロットラインの入力と出力の上の電磁石カップリングを通じて、各分岐信号は二つのFETの増幅に関して分割されている。分割スロットラインのある図7と図8に示された直列／直列プッシュプル構成は、4つのFETによる増幅のために信号を分割して、インピーダンス変圧を提供する。各回路セクションに関して入力信号を一つの信号へと分割して、出力信号を再度組み合わせることによって、実質的な電力の組み合わせが達成される。インピーダンス・マッチングは個別のFETのところで、並びに／又は、信号分割又は再組み合わせの前後に提供することが出来る。スロットラインは、どのようなインピーダンスのマッチングが必要とされようと達成するように設計されている。入力又は出力のインピーダンスは、そのインピーダンスが十分高くなるまで直列で接続され、次にそれらは希望される電力レベルに適した並列セクションの数で接続することが出来る。

図9は、ダッシュ・ラインで示されたFETチップ234がそれに対してフリップ取り付けされているマザーボードのサブ回路232を備えている電力増幅器230の一部

分を図解している。増幅器200の場合と同じく、チップ234におけるFETの配列におけるFET236と言ったFETは入力（ゲート）の

ろにて直列で電氣的に接続されている。

増幅器230は共角導体242と244によって形成された入力スロットライン240からの変換を提供し、その両方は単一の出力スロットライン248に対して共角金属化246の一部分である。これらの出力ラインは入力回路に似た、或いは、プッシュプル・ラインとしての方法で組み合わせることが出来た。

又、図7に図解された増幅器200のE形状のスロットで成端する事の代わりに、入力スロット250は接合部252のところで長いU形状のスロット250aと250bに分割している。U形状のスロットは円形開口部250cと250dにおいて成端している。これらの開口部は開放回路として機能し、それによって入力信号がU形状のスロットの中に伸びている解放端部となっている導体脚部242aと244aとして形成されたそれぞれの導体によって搬送されるようにしている。金属化246の一部である中間の導体254は、FETの端子256と言ったソース端子へと接合部252から伸びている。導体へのFETの取り付けと接続は、その他の増幅器に関して記述されたそれと同じである。

図10と図11は本発明に従って作成された増幅器260を図解している。増幅器260は、非共角のスロットライン264とマイクロストリップ・ライン266の基部端部の上に個別では識別されていないがフリップ取り付けされた単一のFETを備えている、ダッシュ・ラインで示されたチップ262を含んでいる。増幅器260は、この様にして、スロットラインとマイクロストリップとの間の活性ランチとしても使うことが出来る。スロットラインとマイクロストリップへのFETの接続は逆にすることが出来る。

スロットライン264は、それらが取り付けられている絶縁基板272によって導体268と270をその中に含んでいる。上側の導体268は基板の上側表面272a上に取り付けられ、下側の導体270は下側表面272b上に取り付けられている。図に示されたとおり、導体は相殺されて、その結果、一つの間近な端

部は他のものの間近な端部と（直接的に反対に）一致することが望ましい。この構成は、共角スロットラインの場合と同じく、導体の隣接する端部によってスロットが境界を画されるようにしている。

導体268と270も又概略図で示されている導体270'によって代表されるように相互に直接的に反対に、或いは、導体270"によって代表されているように導体268と共角に位置決めする事が出来る。導体268は導体270'に対して幅広で結合されるであろう。

マイクロストリップ・ライン266は上側表面272aの上に取り付けられた信号導体274を含んでいる。導体274は導体268と一致していることが望ましい。接地平面276は下側表面272bの上に取り付けられ、導体270に接続されている。

チップ262は、導体268の基部端部の上に配置された取り付けパッド278上に取り付けられたゲート端子を持っている。ドレーン端子は、導体274の基部端部上に配置されたパッド280の上に取り付けられている。二つのソース端子はパッド282と284の上へと取り付けられ、それはその代わりに基板272と通じて伸びている関連した導電路286と288によって接地平面に接続されている。

図12は、ミキサー30として構成された図1の回路構造物の特定な実施例を図解している。同様な構成部品は説明を簡略にするために図1に言及して使われているのと同じ参照番号を与えられており、実際の構造物は異なる用途と設計判断基準に関して異なるであろうことが理解されている。

導体18, 20, 32, 34並びに38は希望されるインピーダンスと提供するに適した長さ幅を、並びに、スロット22と36はそれに適した幅を持っている。局所的な発振器(L0)302はスロットライン12の遠位端部に結合されている。入力無線周波数(RF)信号はスロットライン14の遠位端部に適合されて

いる。第五の導体は、中間周波数(IF)信号が取られている接続部分30から隔たった一つの遠位端部38cを備えている。

作動においては、L0信号が交互に一つのFETをONにし、他のFETをOFFにして、RF入力のプラス又はマイナスの何れかのサイドにIF接続を整流する。

図13と15に図解されているミキサー300とその他のミキサーはダウンコンバー

ターとアップコンバーターに使うことが出来ることに注目すべきである。この様に、IF信号はIF端子に適合して、RF信号を生じさせることが出来、或いは、RF信号はRF端子に適合して、出力IF信号を生じさせることが出来る。又、局所の発振器とRF信号接点はこれらのミキサーにおいて反転することが出来る。

図13は図12のミキサー実施例の一変化形態を図解している。図12におけるとおり、同様な構成部品は図1に関して使われているのと同じ参照番号を与えられている。図13のミキサー310はスロットライン14の遠位端部に結合された局所の発振器(L0)312を備えている。高周波数RF信号はスロットライン12の遠位端部に加えられ、或いは、そこから伝送される。中間周波数(IF)信号を伝導するための一つの接点は導体38の遠位端部38cの上に取りられている。第二のIF導体314は、導体32と34の間に伸びている伝導的リンク導体318の中心にエアー・ブリッジ又はボンド・ワイヤーによって接続されている。エアー・ブリッジのための接続地点がそれぞれの導体32, 34の各々から $\lambda/4$ 以内であるようにするために、長さにおいて $\lambda/2$ 以下であることが望ましい。導体から接続地点までの長さを $\lambda/4$ 以下にすることによって、キャパシタンス・リアクタンスの取り消しはインピーダンス・マッチングに関して提供される。

図13のミキサーの概略図は図14の中に示されている。回路要素は図1に関してラベルを貼ったとおりである。RF信号はスロット導体18と20によって

FET40と42のゲートに結合されている。同様に、スロットライン14を形成している導体32と34は局所的な発振器信号をFETのドレーンに結合している。導体32のために結合されたインダクタンス32cと32dとして、並びに、導体34のためのインダクタンス34cと34dとして示されているこれらの要素は、導体32と34の端部に中間の相互接続におけるスロット伝送のシンボリックなものであり、それはインダクタンス32cと32dとの間にあり、インダクタンス34cと34dとの間にあり、リンク導体318を引き延ばしている。エアー・ブリッジ316は導体318の真ん中に接し、図に示されたとおりそれをインダクタンス318aと318bに分割している。中間周波数信号は共通FETソース導体38に接続された端子上で、並びに、導体318の中間地点上で受け取られる(或いは、伝送される)。高周波数では、エアー・ブリッジ又は

ワイアー316と導体318と314も又インダクタンスに貢献するけれども、これらの構成要素は簡略化のために概略図には示されていない。これらの数値は図には又示されていない関連するインピーダンス・マッチングに関して補正される。

リンク導体318は図13に示されるとおり幅が狭く、結果的にRF信号に関して高いインピーダンス通路となり、それによって、IF導体からRF信号を濾過するのに役立つ。更に、局所的な発振器はバランスした信号を適合するので、リンク導体318の上の接点ポイントは仮想的な接地であり、局所的な発振器信号が本来的にIF信号から濾過されるようにしている。ミキサー310は、この様にして、機能性を犠牲にすること無しに設計におけるコンパクトさに関して特別の利点を提供している。

最後に、図15は図12におけるミキサーの一層の改良であるミキサー320を図解している。ミキサー320は、主要導体324と326で成り立っている局所的な発振器信号を導くための第一の分割スロットライン322を備えている。同様にして、無線周波数信号を導くための第二の分割スロットライン328は、主

要導体330と332で構成されている。一对のFETチップ334と336の各々は図1に図解されているとおり一对のFETを含んでいる。チップ334と336は単一チップとして形成することが出来る。これらのチップはそれぞれの接続部分338と340の境界を画している。

第五の導体342は、既に記述したとおり、FETのフリップ取り付けされたソース端子との接触のために両方の接続部分を通して継続的に伸びている。第五の導体は又、接続部分の地点342bの遠位部分から接続部分における幅広いベース342cへと長細りになっている先のとがった三角形部分342aを備えている。

更に、第六の導体344は、第五の導体の三角形部分342aと同様に、導体330と332との間に位置決めされていて、三角形の形状を持っている。第六の導体は接続部分の地点344aの遠位部分から接続部分における幅広いベース344bへと先細りになっている。接続部分においては、ベース344bは第五の導体に隣接しており、図に示されたとおり導体330と332の基部端部同士の間が存在する。

中間周波数信号は、図に示されたとおり、中間周波数電流戻りインダクターの

接地された端部と、第五導体の地点344bにまたがって取られている。三角形の導体によって形成されたV形状のスロットラインはL0とRFの入力をバランスさせる役目をしている。第六の導体は、図に示されたとおり、局所的な発振器と高周波数の両方の信号に関して、この様にして、仮想的な接地にあり、それによって、IF導体からのこれら構成部品の選択的濾過に関するニーズを減少している。更に、FETのゲートへの局所的な発振器の適合は、図12と図15において示されたとおり、出力電力飽和地点における改善を提供しているが、ミキサー310の構成におけるFETによって提供されるRF信号利得の利点を持たない。ミキサー320の作動は、二つの活性デバイスが並列で駆動されること

を除いて、ミキサー300に似ている。

インダクターは適切な長さの接合ワイヤーを使って実現することが出来、コンデンサーは結合された導体ストリップを使って実現することが出来る。RFとL0の入力は、この回路の機能性を変更すること無しにこの設計で交換することが出来る。この逆転フィードの配置は設計を図3に示されたミキサーに類似にするであろう。加えて、局所的な発振器は平衡とされ、従って、FETに関して仮想的な接地を提供している。これは周波数の濾過の必要性無しにRFとIFポートから局所的な発振器を隔離している。

産業上の利用の可能性

本発明は、この様にしてスロットラインの上にチップ回路のフリップ取り付けを提供する。スロットラインにおける単一の信号経路はスロット・ストリップ・ラインの構造を使って複数の信号経路へと分割することが出来、或いは、幾つかの信号経路は一つに組み合わせることが出来る。分離された接地平面の導体同士間の中間接続が基板の反対側上での金属化と言ったように非共角的技術の使用を通して維持することが出来るけれども、回路の製造は基板の同じ表面上に両方の信号導体を持つことによって簡易化される。更に、信号通路の適切な設計はインピーダンス・マッチングに関して選択された量のインダクタンスとキャパシタンスを提供する。

キャパシタンスとインダクタンスは共角設計技術によって容易に収納されてお

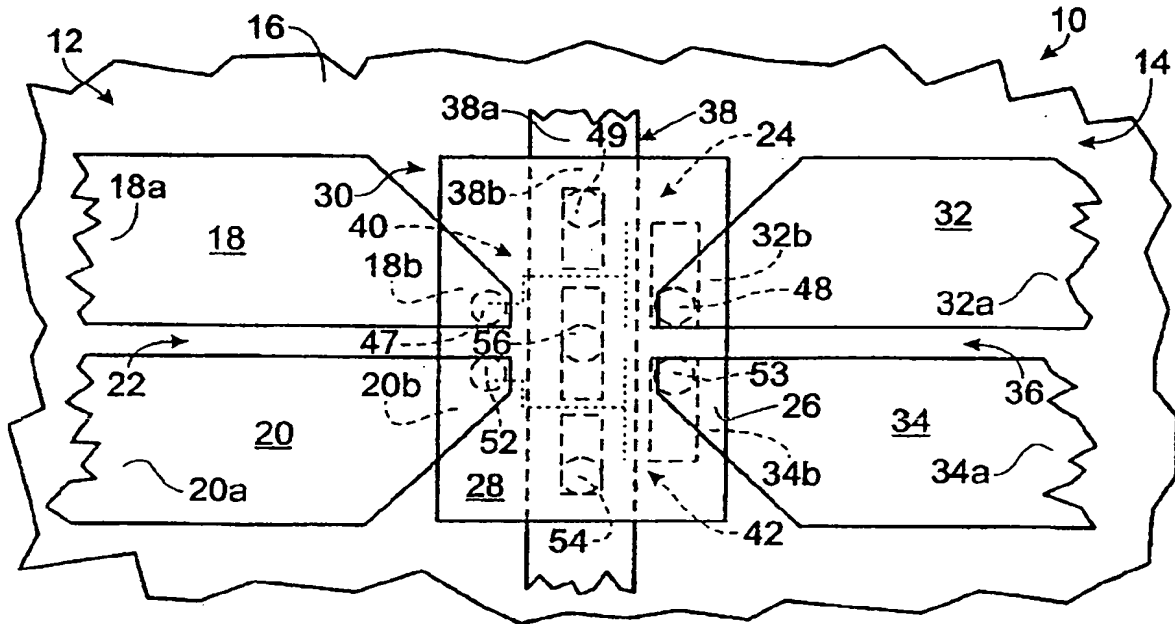
り、或いは、離散的要素と、スロットライン導体に取り付けられたフリップ・チップでさえと言ったその他の技術によって増大することが出来る。もっと一般的には、インピーダンス・マッチングは基板パターン化、チップ取り付け、導体の上に伝導層を付け加えること、並びに、バックサイドの金属化と言った技術によって提供することが出来る。同様に、スロットラインの端部にト

ランジスターをフリップ取り付けすることは、容易な製造、首尾一貫した品質、並びに、改善された性能特性を提供する。電力増幅器は並列に接続された複数の小さな増幅器と個別にマッチングされたインピーダンスとを使うことによって、この様にして、達成することが出来る。同様に、プッシュプル増幅器は複数のプッシュプル・スロットラインを使うことによって本発明に従って構築することが出来た。

形態と詳細における変化形態が、特許請求項において定義された通り本発明の精神と範囲とから、並びに、同等のものの原理下で提供されたとおり特許請求項における言語又は意味の全ての変更から異なること無しに、優先的な実施例において為すことが出来る。例えば、記述された実施例はスロットライン上にチップをフリップ取り付けするための、並びに、スロットラインの信号経路を分割して、共角構成部品を通じてインピーダンス・マッチングを達成するための異なる構成を提供する。好適な実施例は、この様にして、制限無しに説明と図解目的のために提示される。

【図1】

Fig. 1



【図2】

Fig. 2

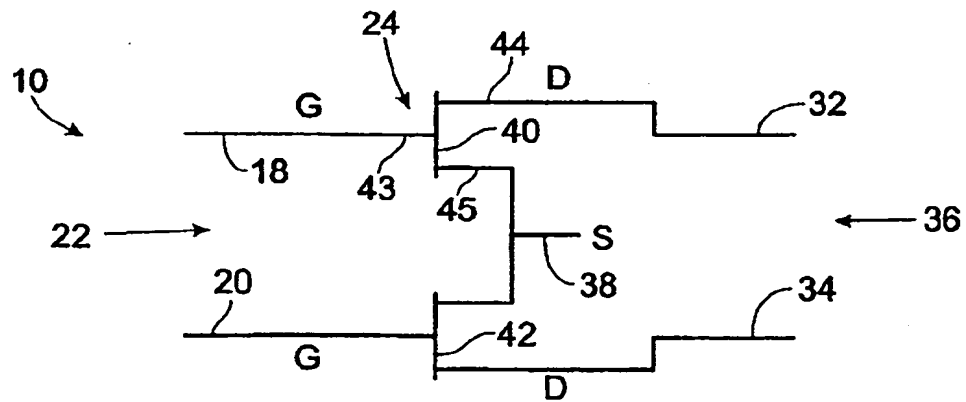
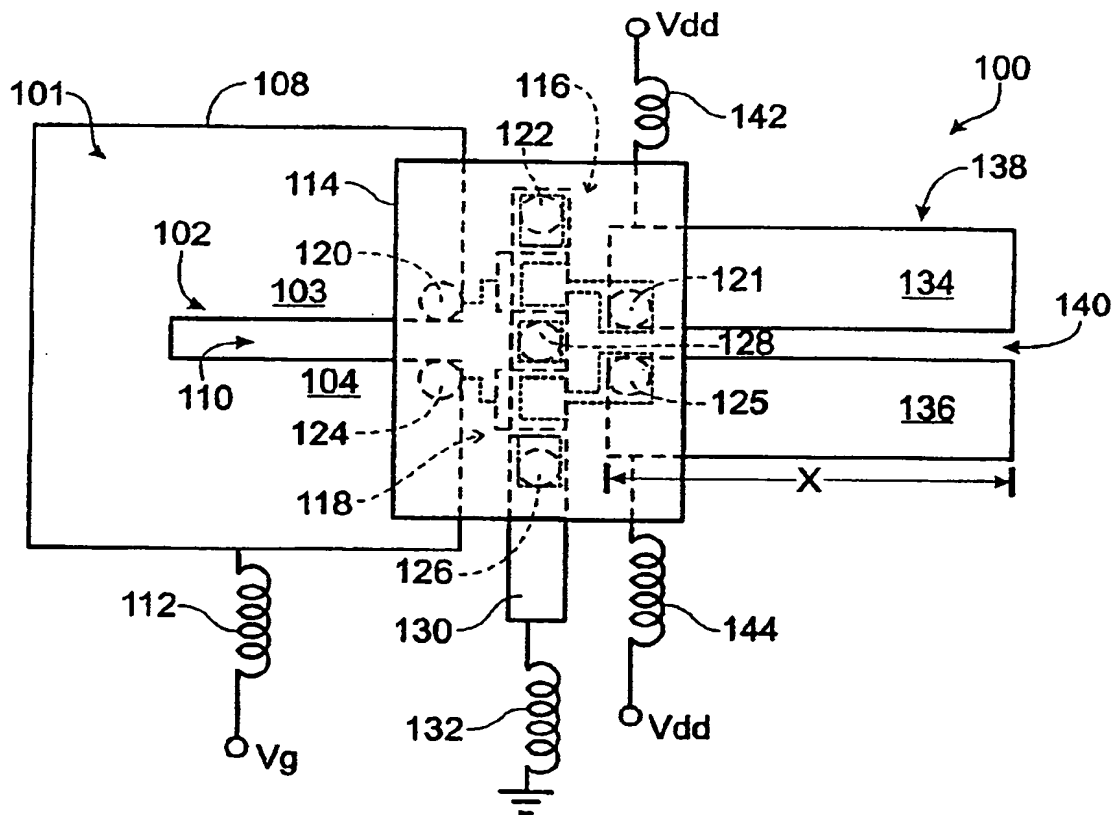
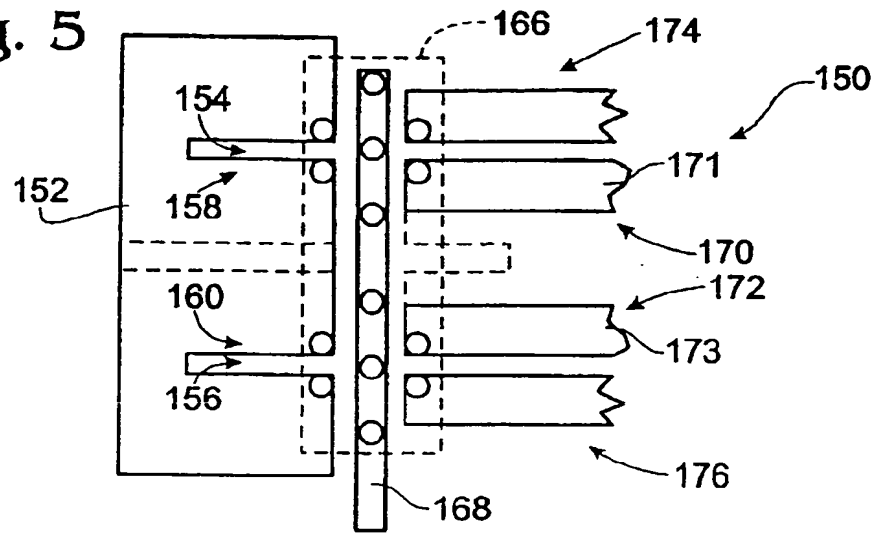


Fig. 3



【図5】

Fig. 5



【図6】

Fig. 6

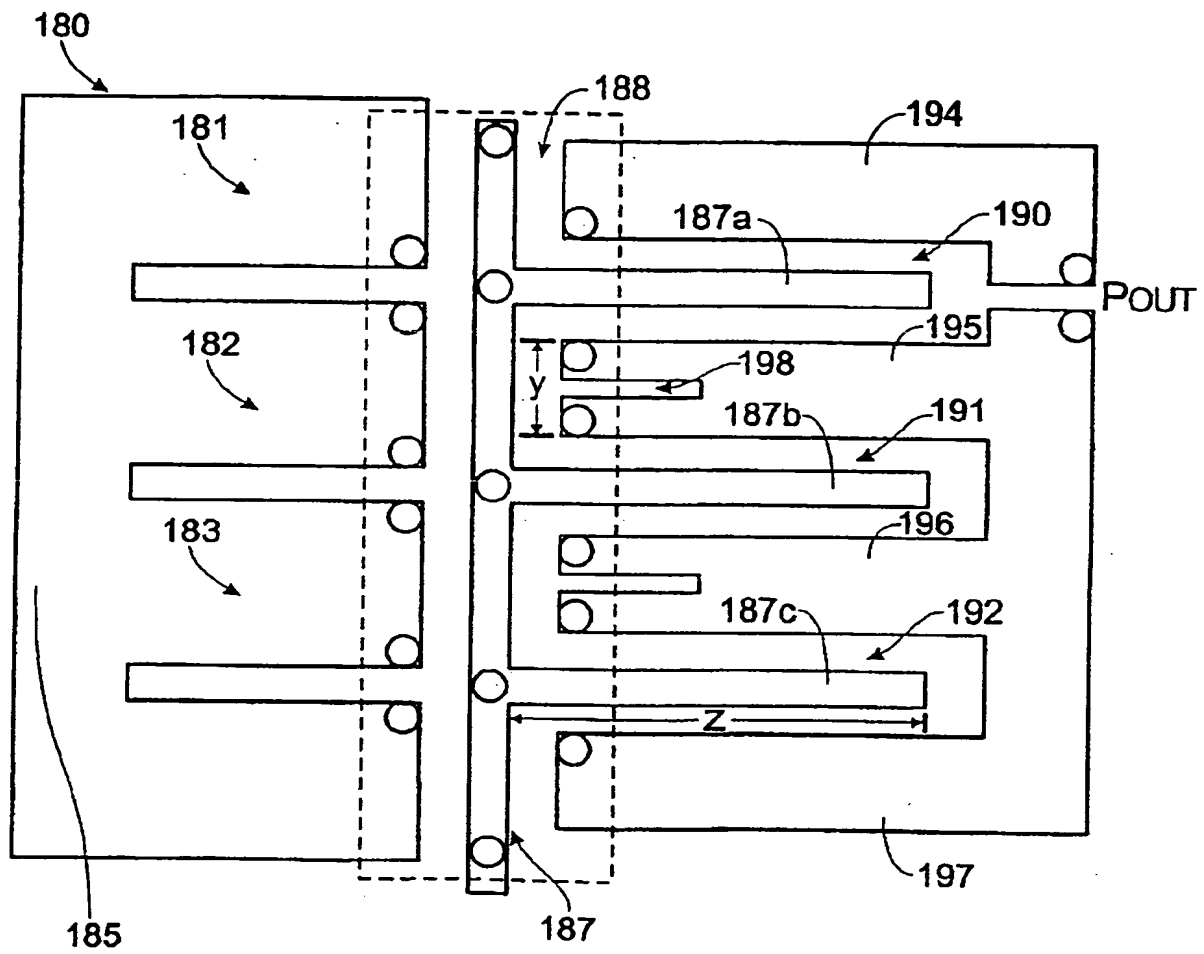


Fig. 7

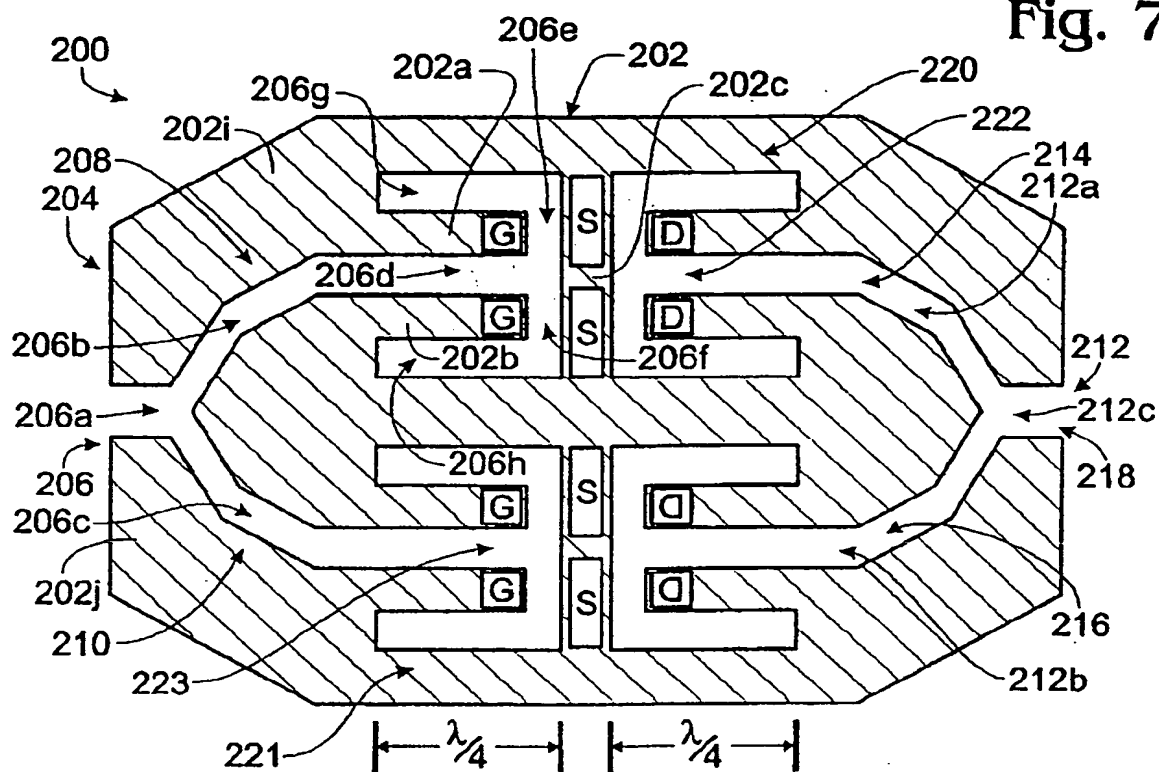
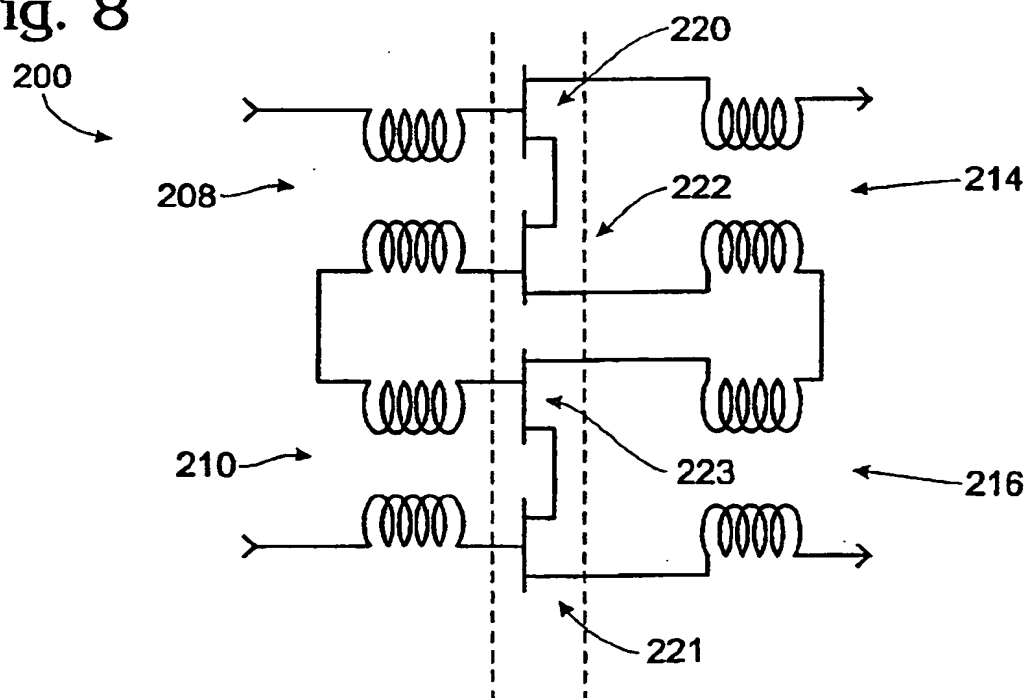
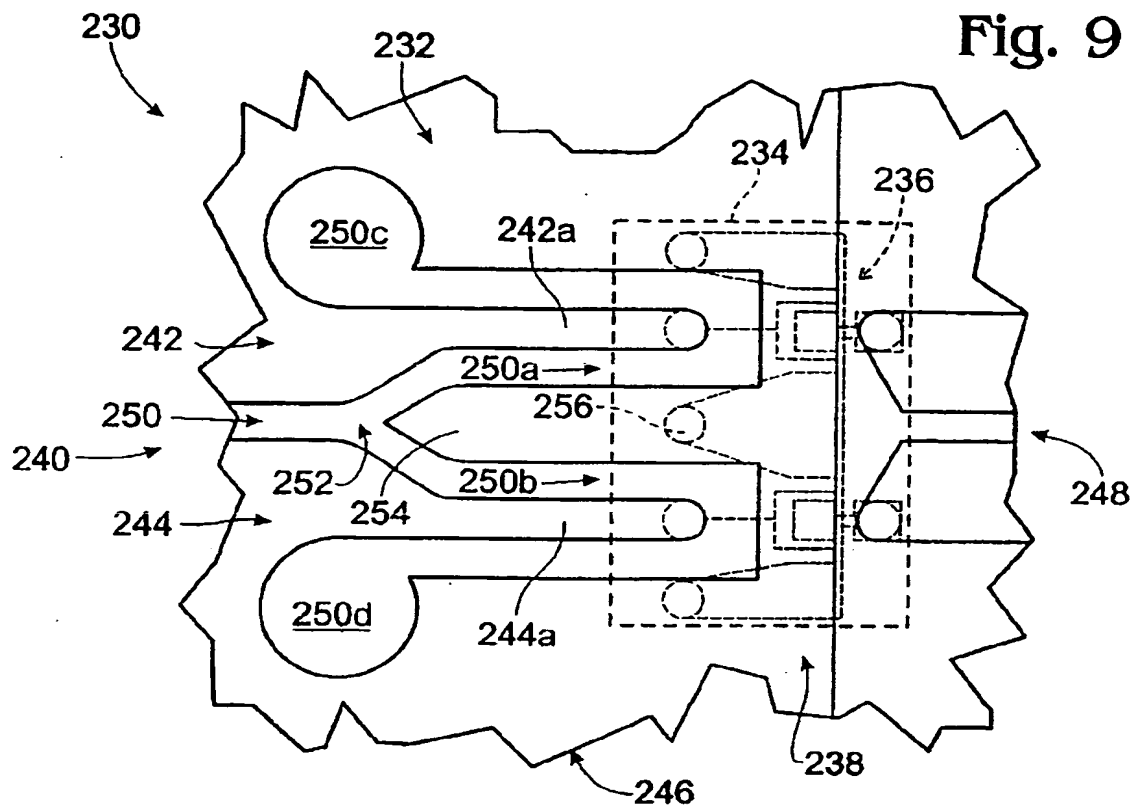


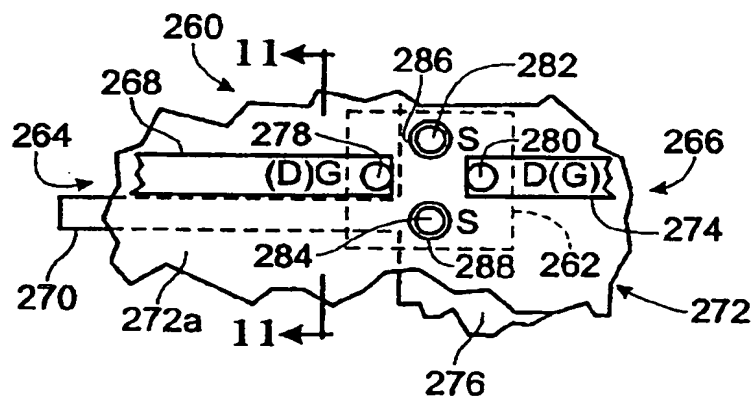
Fig. 8



【図9】

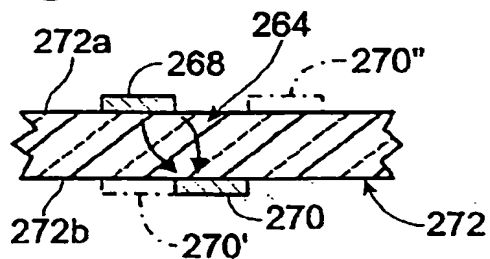


【図10】

Fig. 10

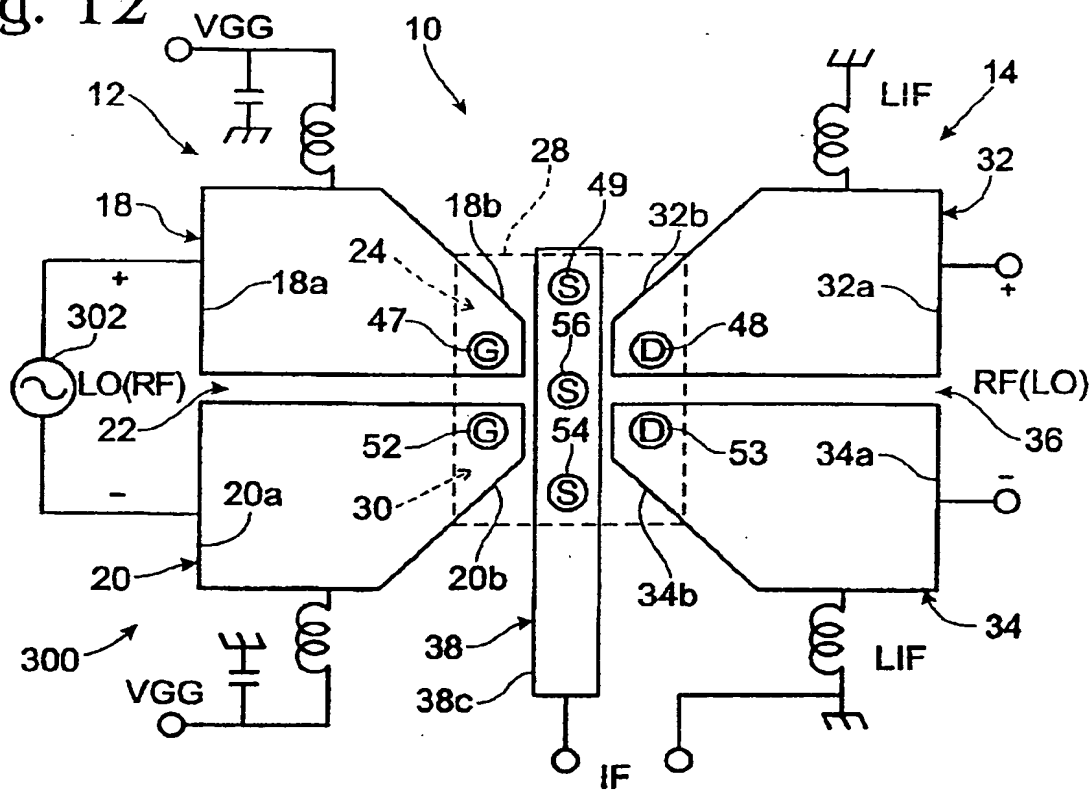
【図11】

Fig. 11



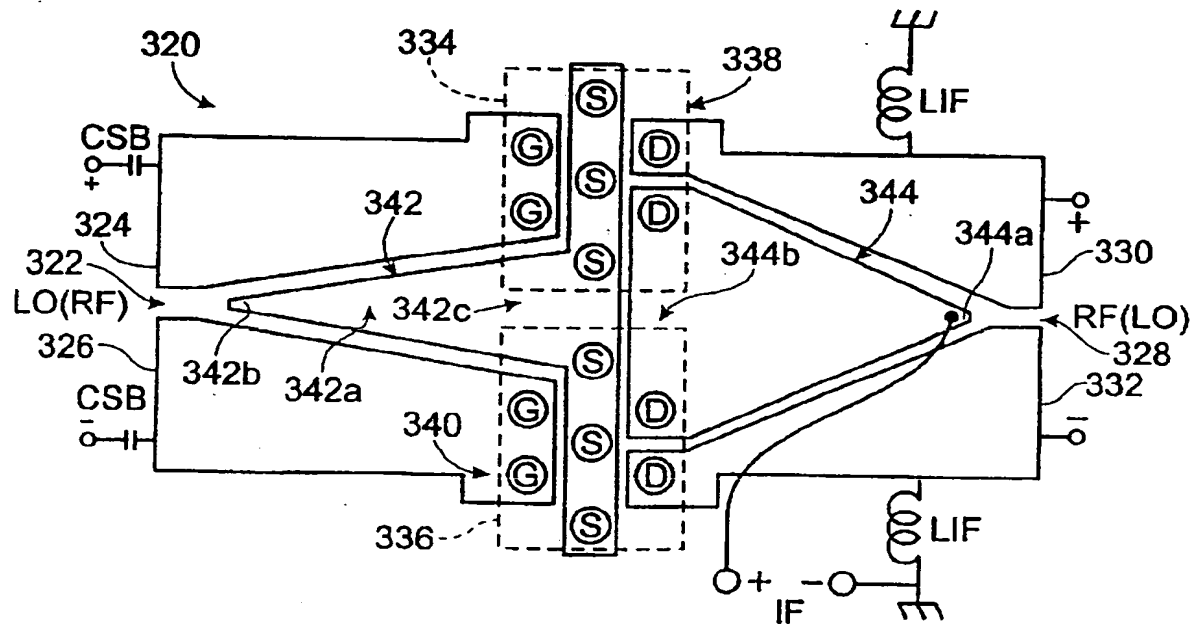
【図12】

Fig. 12



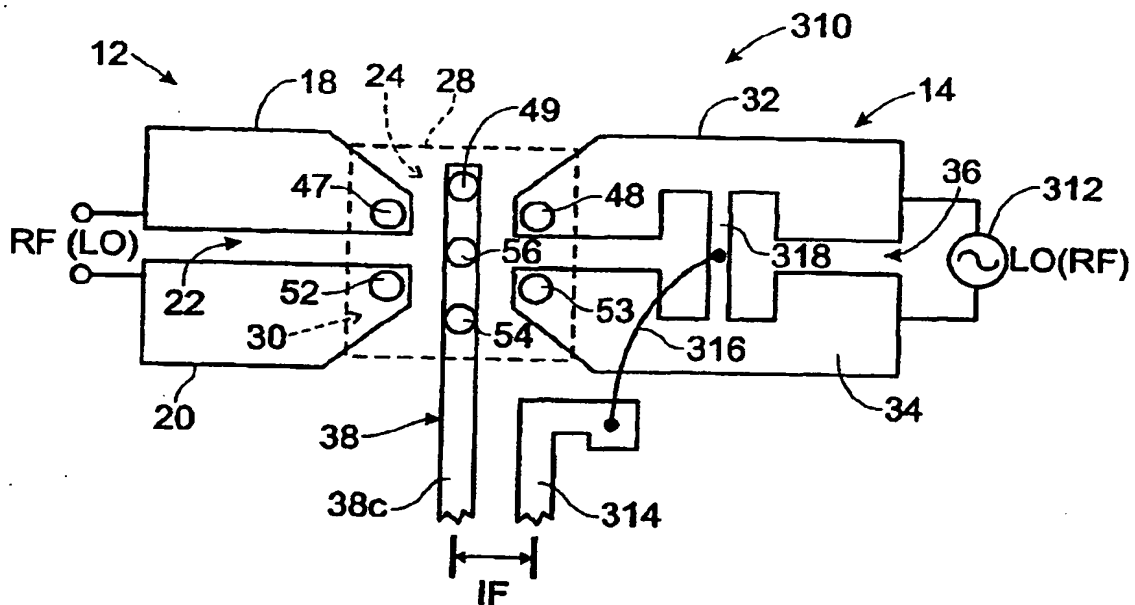
【図15】

Fig. 15



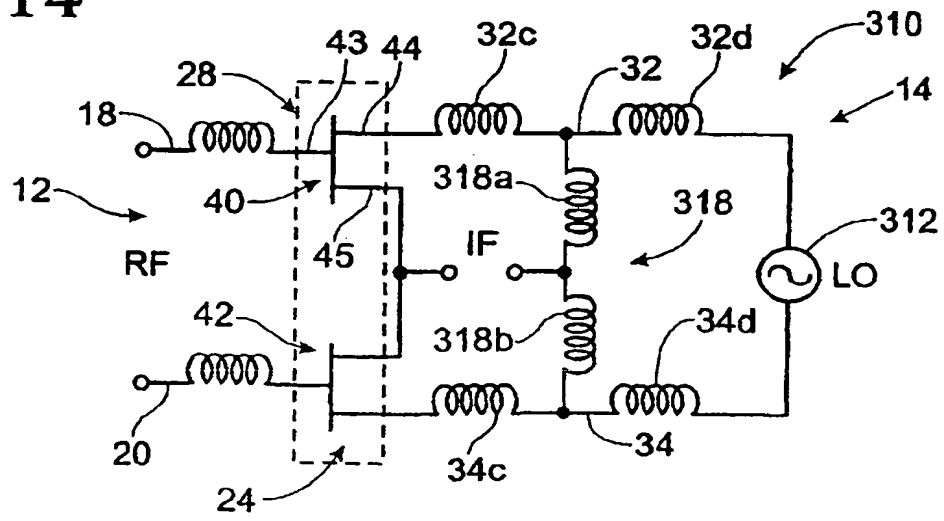
【図13】

Fig. 13



【図14】

Fig. 14



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US97/17372

A. CLASSIFICATION OF SUBJECT MATTER		
IPC(6) :H04B 1/28 US CL :455/327, 330 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) U.S. : 455/317, 319, 323, 325, 326, 327, 330, 333; 333/239, 246, 247		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched NONE		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) NONE		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4,955,079 A (CONNERNEY ET AL) 04 SEPTEMBER 1990, figure 1, column 2, lines 23-47.	1-25
A	US 5,535,445 A (GUNTUN) 09 JULY 1996, figures 1-6, column 3, lines 16-40, column 4, line 34 to column 5, line 32.	1-25
A	US 3,939,430 A (DICKENS ET AL) 17 FEBRUARY 1976, figures 1-6, column 2, lines 27-55.	1-25
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *G* earlier document published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art *Z* document member of the same patent family		
Date of the actual completion of the international search 02 JANUARY 1998		Date of mailing of the international search report 23 FEB 1998
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230		Authorized officer THANH CONG LE <i>Jon Hill</i> Telephone No. (703) 305-4819

Form PCT/ISA/210 (second sheet)(July 1992)*

フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テコード (参考)
H 0 4 B 1/26		H 0 4 B 1/26	B
H 0 5 K 3/34	5 0 1	H 0 5 K 3/34	5 0 1 D
(72)発明者	モーウィンケル, クリフォード, エー. アメリカ合衆国, 95128 カリフォルニア 州, サン ノゼ, ピーチツリー レーン 2363		
(72)発明者	アンダーソン, エドワード, ビー. アメリカ合衆国, 97470 オレゴン州, ロ ーズバーグ, フローノイ バレーロード 4079		

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.